

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
H01L 27/10

(11) 공개번호 특 1999-0068200  
(43) 공개일자 1999년 08월 25일

(21) 출원번호	10-1999-0002838
(22) 출원일자	1999년 01월 29일
(30) 우선권주장	9/016,026 1998년 01월 30일 미국 (US)
(71) 출원인	인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘
	미국 10504 뉴욕주 아몬크
(72) 발명자	노엑에드워드조셉
	미국버몬트주 05451에섹스윈드릿지로드 8
	통민호
	미국버몬트주 05452에섹스정선로스트네이션로드 160
(74) 대리인	김창세, 장성구

심사청구 : 없음

(54) 디커플링 캐패시턴스 형성 방법 및 반도체 소자

요약

디커플링 캐패시턴스를 제공하는 반도체 소자 및 그 제조 방법을 개시한다. 이 반도체 소자는 절연층 위에 제 1 소자층을 갖는 제 1 회로 영역과, 제 1 회로 영역에 인접하게 배치되며 웰 위에 제 2 소자층을 갖는 제 2 회로 영역을 포함한다. 주입층은 제 1 회로 영역 내의 절연층 아래에 주입되며, 이 주입층은 제 2 회로 영역의 웰에 접속될 것이다.

도표

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 바람직한 실시예에 따른 반도체 구조체의 간략화된 도면,  
도 2는 도 1의 구조체에 사용되는 예시적인 소자를 도시한 도면,  
도 3, 4, 5 및 6은 본 발명의 바람직한 실시예에 따른 도 1의 제조 시퀀스를 나타내는 단면도.

도면의 주요 부분에 대한 부호의 설명

20 : 절연층 22 : 절연 산화물층  
24 : 제 1 소자층 25 : 주입층  
32, 34 : 웰 36, 38, 42, 44 : 제 2 소자 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 전반적으로 반도체 소자에 관한 것으로, 특히 반도체 소자 내의 디커플링 캐패시턴스 구조에 관한 것이다.

실리콘-온-인슐레이터(SOI) CMOS 기술에서는 보다 낮은 접합 캐패시턴스(junction capacitances)와 같은 요인을 제공하기 때문에 통상의 벌크-기판 CMOS 기술에서보다 성능이 더욱 우수하게 된다. SOI 기술에서는, 능동 회로를 벌크 기판으로부터 절연되도록 절연시킴으로써 낮은 접합 캐패시턴스를 얻는다.

그러나, SOI 기술은 벌크-기판 기술에 비해 몇 가지 단점을 갖는다. 벌크-기판 기술에서는, 주로 P형 기판 접합 캐패시턴스에 대한 N-웰로 인해, 전원 Vdd로부터 그라운드까지 높은 칩 디커플링 캐패시턴스가 전반적으로 존재한다. 높은 칩 디커플링 캐패시턴스는 정전 방전(electrostatic discharge : ESD)과, 칩 상의 높은 스위칭 노이즈를 방지할 수 있도록 해준다. 안타깝게도, SOI 상의 입/출력(I/O) 소자에

대한 ESD 방지 레벨은, 높은 다이오드 저항과, 열악한 열전도와, 전원 VDD에서 그라운드까지의 매우 낮은 온-칩 디커플링 캐패시턴스로 인해 저하된다. 또한, 낮은 온-칩 디커플링 캐패시턴스로 인해 높은 칩 및 I/O 스위칭 노이즈가 존재한다. 실 영역(real estate)을 차지하는 얇은 산화물 캐패시터를 사용하지 않는 한, SOI 기술로 제조된 칩은 노이즈 억제에 위한 디커플링 캐패시터를 거의 갖지 못할 것이다.

SOI 소자를 제조하는 통상적인 방법에서는 산소 원자를 벌크-기판 소자로 주입해서 매립된 산화물층을 형성한다. 이 방법은 SIMOX(주입된 산소에 의한 분리)로 알려져 있다. SIMOX에 대해 SOI 기술에서 ESD 방지 레벨을 향상시키기 위한 몇 가지 방법이 제안되어 왔었다. 이들중 하나의 방법은 산화물층을 에칭 제거하여 I/O 트랜지스터가 벌크 기판 상에서 구현될 수 있도록 하는 것이다. 이 방법을 통해 비록 ESD 형상은 이루어졌지만, 이는 정밀하고 값이 비싼 프로세스 및 프로세스 제어(예를 들면, 서로 다른 웨이퍼 상에 도포그래피 위에 회로를 에칭하고 형성하는 것)를 필요로 한다. 다른 방법에서는, 산소를 주입하는 동 안 벌크 기판 내의 ESD 회로 영역을 보호하기 위해 블록 마스크(a block mask)를 사용한다. 이 방법에 의해, 고성능 회로(SOI) 및 허용가능한 ESD 방지 레벨(벌크 기판) 둘 모두를 제공하는 변형된 SIMOX 웨이퍼를 얻을 수 있다. 그러나 안타깝게도, 이 방법은 노이즈 억제를 위한 큰 온-칩 디커플링 캐패시터 및 적절한 ESD 동작이 없는 불완전한 방법이다.

#### 본 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 반도체 소자용 디커플링 캐패시턴스를 제공하고, 전술한 결함을 제거하는 반도체 소자를 제조하는 방법을 제공하는 것이다.

이러한 본 발명의 목적은, 절연층 위에 제 1 소자층을 갖는 제 1 회로 영역과, 웰 위에 제 2 소자층을 가지며 제 1 회로 영역과 인접하여 위치하는 제 2 회로 영역을 포함하는 반도체 소자에 의해 구현된다. 주입층은 제 1 회로 영역 내의 절연층 아래에 주입되며, 이 주입층은 제 2 회로 영역의 웰에 접속되며, 높은 집합 캐패시턴스, 및 이에 따른 반도체 소자에 대한 허용가능한 디커플링 캐패시턴스를 형성하게 된다.

본 발명의 전술한 이점 및 특징과 그 밖의 다른 이점 및 특징은, 첨부한 도면에 도시한 바와 같은 본 발명의 바람직한 실시예에 대한 이하의 더욱 상세한 설명으로부터 명백해질 것이다.

#### 본 발명의 구성 및 작용

도 1을 참조하면, 본 발명에 따른 집적 회로(10)에 대한 반도체 구조체를 매우 간략화된 형태로 도시하고 있다. 이 예에서, 본 발명의 실시예에 따른, 실리콘-온-인슐레이터(SOI) 구조의 제 1 회로 영역은, 절연 산화물층(22), 제 1 소자층(24), 절연층(20), 및 절연 산화물층(22) 아래에 주입된 제 1 극성 타입의 높은 도우즈의 주입층(25)을 포함한다. 제 1 회로 영역에 인접하여 위치하는 제 2 회로 영역(예를 들면, 벌크 소자 영역)은, 벌크 영역(30), 제 1 극성 타입의 웰(32, 34), 제 1 및 제 2 극성 타입의 영역(36, 38, 42, 44)을 포함하는 제 2 소자 영역, 및 절연층(20)을 포함한다. 이들 회로 영역 모두는 제 2 극성 타입의 기판(50) 내에 위치하며, 이 중 제 1 회로 영역은 대부분의 칩을 덮고 있다. 제 2 회로 영역을 하인만 도시하였지만, 단일 반도체 기판 상에 이러한 영역을 여러 개 사용할 수 있으며, 이들 각각은 소자의 후속 활성 영역을 정의(delineating)한다. 비에피택셜(non-epi) 기술에서 통상적으로 이용되는 1WV 에너지 주입과 같이, 더 큰 캐패시턴스가 요구될 경우, 주입층(25) 아래의 제 2 극성 타입의 선택 사양의 도펀트(40)가 사용될 수도 있으며, 혹은 기판 웨이퍼 자체가 상부에 P-에피택셜 층을 갖는 P+웨이퍼일 수도 있다.

도 2를 참조하면, 본 발명에 통합될 수 있는 예시적인 소자로서 I/O ESD 소자(110)를 도시하고 있다. 도 2에는 대응하는 극성 타입 영역을 갖는 P-타입 기판(150)을 도시하였지만, 대응 영역을 갖는 N-타입 기판, 혹은 도핑 등에 의해 생성된 P-영역을 갖는 N-타입 기판과, 집적 회로(110)의 변형들이 또한 사용될 수도 있다. I/O ESD 소자(110)는, P+영역(138) 및 N+영역(144)에 접속되는 I/O 패드(60)와, Vdd에 접속되며 제 1 다이오드를 형성하는 N+영역(136)과, 그라운드에 접속되며 제 2 다이오드를 형성하는 P+영역(142)을 구비한 반도체 기판으로부터 형성된다. 또한, 적절한 접속부 및 적절한 성능을 위한 변형물을 갖는 I/O ESD 소자, 혹은 이와 유사한 소자가 N-타입 기판으로부터 형성될 수도 있다. 전술한 바와 같이, N-타입 주입층 아래의 선택사양의 P-타입 도펀트(140)(혹은 N-타입 기판의 경우 P-타입 주입층 아래의 N-타입 도펀트)는 더 큰 캐패시턴스가 요구될 경우 또한 사용될 수도 있다.

도 2로부터 알 수 있는 바와 같이, 그 후 Vdd에서 그라운드까지 높은 집합 캐패시턴스가 형성된다. Vdd는 N-웰(132)을 통해 N-타입 주입층(125)에 연결되며, 이 N-웰(132)은 N+영역(136)에 연결된다. P-타입 벌크 영역(130)은 P+영역(142)을 통해 그라운드에 접속된다. P-타입 도펀트(140)는 추가 캐패시턴스를 위해 또한 사용될 수 있다. 또, 다른 옵션은 약 도핑된 에피택셜층(이 예에서는 P-)와 함께 축퇴 도핑된(degenerately doped)(이 예에서 P+) 웨이퍼를 사용하는 것으로 높은 캐패시턴스 및 낮은 저항을 제공한다. 이어지는 도면에 도시하는 바와 같이, 본 발명의 하나의 미점은, SIMOX 프로세스에서 통상적으로 사용되는 것 이외의 임의의 부가적인 마스크를 사용하지 않고서도 Vdd에서 그라운드까지의 높은 집합 캐패시턴스를 얻을 수 있다는 점이다.

이제 도 3-6을 참조하여, 본 발명의 바람직한 실시예에 따른 제조 방법에 대해 설명하기로 한다. 도 3에 도시한 바와 같이, 도 1에 대해 기술한 바와 같은 제 2 극성 타입의 기판(50)의 제 2 회로 영역(벌크 영역)을 규정하는데 비임계 마스크(non-critical mask)(70)가 사용된다. 그 후 도 4로부터 알 수 있는 바와 같이, 제 1 극성 타입의 산소 및 도펀트 주입(75)이 실질적으로 동시에 기판(50)으로 행해져서 절연 산화물층(22)과, 절연 산화물층(22) 아래에 매립된 제 1 극성 타입의 주입층(25)이 형성된다. 절연 산화물층(22) 어닐링 온도는 비교적 높기 때문에(약 1200-1300°C), 도 5에 도시한 바와 같이 주입층(25)은 외부 확산(즉, 주입 경계를 지나 확산)될 것이다. 따라서, 도 6에 도시한 바와 같이 SOI 및 벌크 영역의 후속하는 표준 형성 공정 후, 주입층(25)은 벌크 영역 내의 제 1 극성 타입의 웰(32, 34)에 접속될 것이다.

이에 따라, 본 발명은 절연 산화물 아래에 주입층을 주입함으로써 Vdd에서 그라운드까지의 디커플링 캐패시턴스를 제공하게 된다. 또한, 이 주입은 추가적인 마스크를 필요로 하지 않으면서 절연 산화물 형성과 동시에 행해질 수도 있다. 추가 캐패시턴스를 위해 제 2 주입(예를 들면 P+ 혹은 N+ 도펀트)이 또한 행해질 수도 있다.

본 발명을 바람직한 실시예를 통해 특별히 도시하고 기술하였지만, 본 기술 분야에 통상의 지식을 가진 자라면, 본 발명의 정신 및 범주를 벗어나지 않고 형태 및 상세한 사항을 변경할 수 있음을 알 것이다.

#### 발명의 효과

본 발명은 디커플링 캐패시턴스를 제공하는 반도체 소자 및 그 제조 방법을 개시한다.

#### (57) 청구의 범위

##### 청구항 1

- ① 절연층 위에 제 1 소자층을 갖는 제 1 회로 영역과,
- ② 상기 제 1 회로 영역에 인접하게 위치하며, 제 1 극성 타입의 웰 위에 제 2 소자층을 갖는 제 2 회로 영역과,
- ③ 상기 절연층 아래에 주입되며 상기 웰과 접촉되는 상기 제 1 극성 타입의 주입층을 포함하는 장치.

##### 청구항 2

제 1 항에 있어서,  
상기 웰은 N-웰이며, 상기 주입층은 N-타입 주입층인 장치.

##### 청구항 3

제 1 항에 있어서,  
상기 웰은 P-웰이며, 상기 주입층은 P-타입 주입층인 장치.

##### 청구항 4

제 2 항에 있어서,  
상기 N-타입 주입층 아래에 주입되는 P-타입 주입층을 더 포함하는 장치.

##### 청구항 5

제 3 항에 있어서,  
상기 P-타입 주입층 아래에 주입되는 N-타입 주입층을 더 포함하는 장치.

##### 청구항 6

기판을 갖는 반도체 소자에 디커플링 캐패시턴스를 형성하는 방법에 있어서,  
a) 마스크를 이용하여 상기 기판 상에 제 1 회로 영역 및 제 2 회로 영역을 규정하는 단계와,  
b) 상기 제 1 회로 영역 내에 절연층을 주입하는 단계와,  
c) 상기 제 1 회로 영역 내의 상기 절연층 아래에 주입층을 주입하는 단계와,  
d) 상기 제 2 회로 영역 내에 웰을 형성하는 단계를 포함하며,  
상기 주입층은 상기 웰에 전기적으로 접촉되는 디커플링 캐패시턴스 형성 방법.

##### 청구항 7

제 6 항에 있어서,  
상기 단계 b) 및 c)는 실질적으로 동시에 수행되는 디커플링 캐패시턴스 형성 방법.

##### 청구항 8

제 6 항에 있어서,  
상기 웰은 N-웰이며, 상기 주입층은 N-타입 주입층인 디커플링 캐패시턴스 형성 방법.

##### 청구항 9

제 6 항에 있어서,  
상기 웰은 P-웰이며, 상기 주입층은 P-타입 주입층인 디커플링 캐패시턴스 형성 방법.

##### 청구항 10

제 6 항에 있어서,  
e) 상기 제 1 회로 영역 내의 절연층 위에 제 1 소자층을 형성하는 단계와,

f) 상기 제 2 회로 영역 내의 상기 웰 위에 제 2 소자층을 형성하는 단계를 더 포함하는 디커플링 캐패시턴스 형성 방법.

#### 청구항 11

제 6 항에 있어서,

상기 단계 b)와 c) 사이에, 상기 절연층을 어닐링하기 위해 상기 제 1 회로 영역을 가열하는 단계를 더 포함하며,

상기 주입층은 상기 주입으로부터 확산되는 디커플링 캐패시턴스 형성 방법.

#### 청구항 12

제 6 항에 있어서,

상기 주입층은 상기 웰에 접속되는 디커플링 캐패시턴스 형성 방법.

#### 청구항 13

제 6 항에 있어서,

e) 상기 제 1 회로 영역 내의 상기 주입층 아래에 제 2 주입층을 주입하는 단계를 더 포함하는 디커플링 캐패시턴스 형성 방법.

#### 청구항 14

반도체 소자에 있어서,

① 기판과,

② 상기 기판 내에 형성된 제 1 소자 아래의 절연층과, 상기 절연층 아래의 주입층을 갖는, 상기 기판 내의 제 1 회로 영역과,

③ 상기 제 1 회로 영역에 인접하여 위치하며, 내부에 제 2 소자를 구비한 웰을 갖는, 상기 기판 내의 제 2 회로 영역을 포함하며,

상기 주입층은 상기 웰과 전기적으로 결합되는 반도체 소자.

#### 청구항 15

제 14 항에 있어서,

상기 웰은 N-웰이며, 상기 주입층은 N-타입 주입층인 반도체 소자.

#### 청구항 16

제 14 항에 있어서,

상기 웰은 P-웰이며, 상기 주입층은 P-타입 주입층인 반도체 소자.

#### 청구항 17

제 15 항에 있어서,

상기 N-타입 주입층 아래에 주입된 P-타입 주입층을 더 포함하는 반도체 소자.

#### 청구항 18

제 16 항에 있어서,

상기 P-타입 주입층 아래에 주입된 N-타입 주입층을 더 포함하는 반도체 소자.

#### 청구항 19

SOI 소자 영역에 인접하는 벌크 소자 영역을 갖는 장치에 있어서,

상기 벌크 소자 영역 아래의 웰에 접속되는 SOI 소자 영역 내의 절연층 아래의 주입층을 포함하는, SOI 소자 영역에 인접한 벌크 소자 영역을 갖는 장치.

#### 청구항 20

제 19 항에 있어서,

상기 웰은 N-웰이며, 상기 주입층은 N-타입 주입층인 SOI 소자 영역에 인접한 벌크 소자 영역을 갖는 장치.

#### 청구항 21

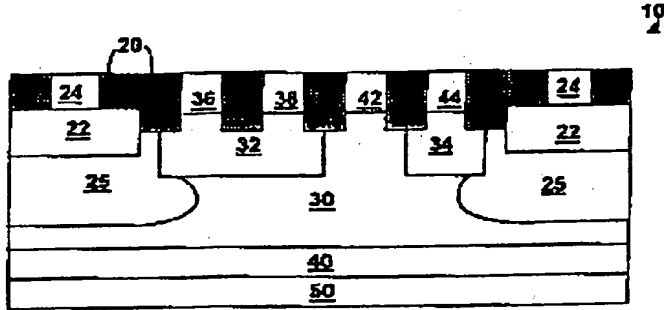
제 19 항에 있어서,

상기 웰은 P-웰이며, 상기 주입층은 P-타입 주입층인 SOI 소자 영역에 인접한 벌크 소자 영역을 갖는 장치.

Pat Available Conv

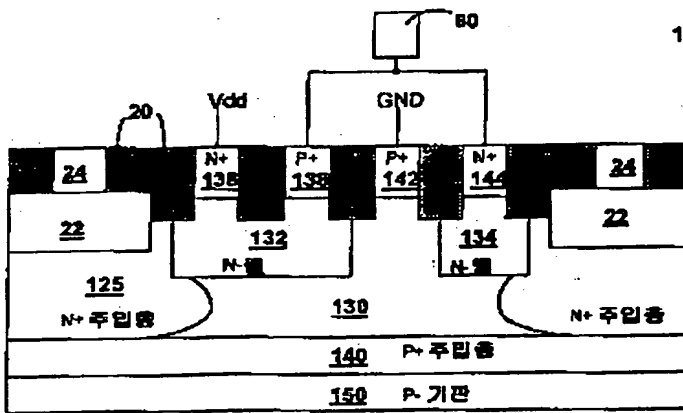
도면

도면1



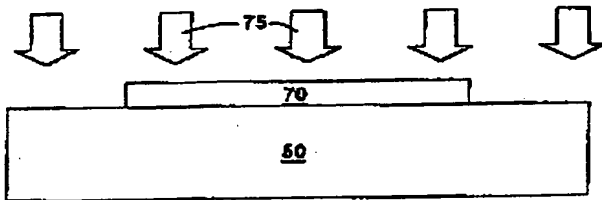
10

도면2

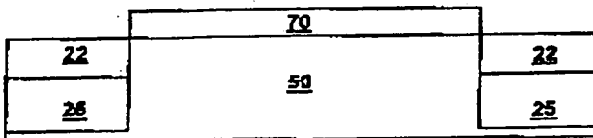


110

도면3

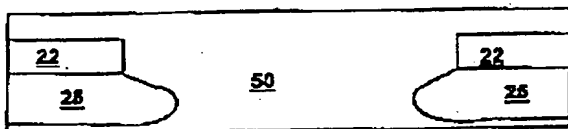


도면4



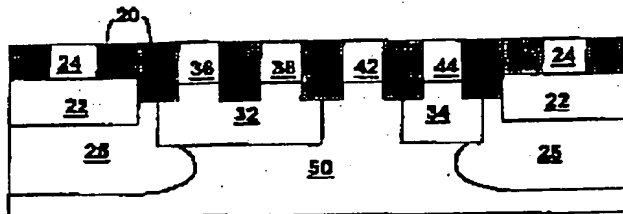
Rest Available Copy

도B5



도B6

10



Best Available Copy